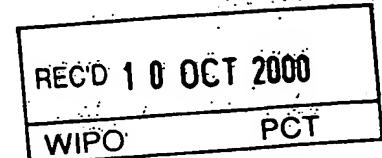


BUNDESREPUBLIK DEUTSCHLAND

PRIORITY DOCUMENT
 SUBMITTED OR TRANSMITTED IN
 COMPLIANCE WITH
 RULE 17.1(a) OR (b)



EP 00(08598)
 10 / 070126

**Prioritätsbescheinigung über die Einreichung
 einer Patentanmeldung**

Aktenzeichen: 199 41 851.9

Anmeldetag: 2. September 1999

Anmelder/Inhaber: Siemens Aktiengesellschaft, München/DE

Bezeichnung: Zellkonfliktauflösungseinheit für eine Einrichtung zur Vermittlung einer Mehrzahl von paket-orientierten Signalen

IPC: H 04 L 12/56

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 20. September 2000
Deutsches Patent- und Markenamt
Der Präsident
 Im Auftrag

Nierat

Beschreibung

Zellkonfliktauflösungseinheit für eine Einrichtung zur Vermittlung einer Mehrzahl von paket-orientierten Signalen

5

Die Erfindung betrifft eine Zellkonfliktauflösungseinheit für eine Einrichtung zur Vermittlung einer Mehrzahl von paket-orientierten Signalen.

10

In den letzten Jahren ist die Übertragungskapazität bzw. die Datenübertragungsrate in Netzwerken stark angestiegen. Dies führte zur Notwendigkeit, Vermittlungseinrichtungen, insbesondere Switches und Router, zu entwickeln, die einen Daten-durchsatz im Multi-Gigabit- bzw. sogar Terabit-Bereich aufweisen. Bei derart hohen Übertragungsgeschwindigkeiten lassen sich die erforderlichen Netzwerkprotokolle nur noch als Hardware realisieren.

15

20

Vermittlungseinrichtungen für diese hohen Übertragungsgeschwindigkeiten werden nach einer Möglichkeit als aktive Backplane unter Verwendung einer Crossbar Architektur realisiert. Crossbar-Vermittlungsarchitekturen arbeiten vollständig parallel, so dass der Durchsatz derartiger Einrichtungen nur durch die Anzahl der einzelnen Ports und das intern verwendete Koordinationsverfahren begrenzt ist.

30

35

Crossbar-Architekturen arbeiten üblicherweise mit mehreren Port-Chips, die über Interfaces mit einem zentralen Crossbar-Chip verbunden sind. Bekannte Crossbar-Chips beinhalten üblicherweise Pufferspeicher, um bei auftretenden Kollisionen Pakete oder Zellen zwischenzuspeichern. Die Zellen entstehen durch die üblicherweise - insbesondere bei Paketen variabler Länge - vorgenommene Segmentierung eines Pakets in Zellen mit bestimmter Länge, die dann innerhalb der Vermittlungseinrichtung weiterverarbeitet werden. Hierdurch ergibt sich die Möglichkeit, auf rationelle Weise eine taktsynchrone Verarbei-

tung der Zellen zu realisieren. Zudem wird bei auftretenden Kollisionen, d.h. wenn mehrere Ports der Port-Chips versuchen auf denselben Port eines anderen Port-Chips zu übertragen, eine „faire“ Übertragung der an den konkurrierenden Ports 5 anliegenden Signale bzw. Pakete erleichtert. Hierzu ist bei einigen bekannten Einrichtungen mit dem Crossbar-Chip eine externe Contention-Resolution-Einheit (Zellkonflikt-Auflösungseinheit) verbunden, die unter Verwendung bestimmter Algorithmen eine faire Auswahl der konkurrierenden Ports er- 10 mittelt.

Beispielsweise ist aus der DE 195 40 160 A1 ein Verfahren zur Koordinierung über serielle Leitungen von eingangsgepufferten ATM Vermittlungseinrichtungen zur Vermeidung von Ausgangsblockierungen bekannt, bei der bezüglich eines Ausgangs konkurrierende ATM-Zellen bereits am Eingang der entsprechenden Vermittlungseinrichtung gepuffert werden. Diese Vermittlungs- 15 einrichtung besteht im Prinzip aus mehreren Portchips mit jeweils mehreren Ports, deren „Ausgangs-Ports“ über einen Crossbar-Chip miteinander verbunden sind. Die Blockierungs- 20 freiheit der Einrichtung wird durch die Verwendung eines Belegungsvektors erreicht, dessen einzelne Bits jeweils einem (Ziel-) Port-Chip entsprechen. Der Belegungsvektor wird vor der Übertragung einer Zelle nacheinander von Port-Chip zu Port-Chip weitergereicht, wobei jeder Port-Chip in der Reihenfolge, in der das Weiterreichen des Belegungsvektors erfolgt, die Möglichkeit hat, ein Bit des Belegungsvektors zu 25 belegen. Wird ein Bit belegt, so bedeutet dies, dass der betreffende (Quell-) Port-Chip an denjenigen (Ziel-) Port-Chip, welcher der jeweiligen Position des belegten Bit des Belegungsvektors entspricht, eine Zelle übertragen möchte. Dieser (Ziel-) Port-Chip, bzw. dieser Ausgang des Crossbar-Chips und das jeweils belegte Bit des Belegungsvektors steht 30 dann dem nächsten Port-Chip, an den der Belegungsvektor weitergereicht wird, nicht mehr zur Übertragung einer Zelle in dem jeweiligen Time-Slot zur Verfügung.

Bei dieser bekannten Einrichtung erfolgt die Verarbeitung des Belegungsvektors in den Port-Chips, wobei der Belegungsvektor auf einer seriellen Verbindungsleitung zwischen den Port-Chips übertragen wird.

5

Hierdurch werden bei der Hardware-Realisierung einer derartigen Vermittlungseinheit externe Hochgeschwindigkeits-Übertragungsleitungen zwischen den Port-Chips erforderlich, was einen entsprechenden Designaufwand und Hardware-Aufwand erfordert. Zudem wird der Belegungsvektor getaktet und seriell von Port-Chip zu Port-Chip weitergereicht, wobei in jedem Taktzyklus der Belegungsvektor jeweils nur um ein Bit weitergeschoben wird. Auf diese Weise kann jede Porteinheit, der bereits ein Bit des Belegungsvektors zur Verfügung steht, jeweils nur ein Bit, vorzugsweise das im jeweiligen Takt gerade übergebene Bit bearbeiten. Sind N Port-Chips vorhanden, so sind also insgesamt $2N$ Taktzyklen erforderlich, um den Belegungsvektor komplett zu verarbeiten. Dies bringt bei einer größeren Anzahl von Port-Chips Timing-Probleme mit sich, da für diese Prüfung nur eine sehr begrenzte Zeitspanne zur Verfügung steht, die kleiner ist, als der Gesamtzyklus zur Übertragung einer Zelle (Timeslot). Somit ist entweder die Anzahl der Port-Chips begrenzt oder es müssen extrem hohe Taktraten bei der Verarbeitung des Belegungsvektors verwendet werden. Diese Vorrichtung weist eine Zellkonfliktauflösungseinheit mit dezentraler Struktur auf, die die genannten Nachteile mit sich bringt.

Ein Fairnessausgleich bezüglich konkurrierender Übertragungen zu verschiedenen (Ziel-) Port-Chips kann bei der Vorrichtung gemäß der DE 195 40 160 A1 dadurch erfolgen, dass die Reihenfolge des Zugriffs auf die jedem anderen Port-Chip zugeordneten Pufferspeicher der einzelnen Port-Chips jeweils am Beginn eines Gesamtzyklus geändert wird. Hierdurch ergibt sich im Prinzip eine geänderte Zuordnung der Bitpositionen des Belegungsvektors zu den Port-Chips, so dass durch die geänderte Reihenfolge der Belegung ein Fairnessausgleich möglich ist.

Hierzu ist aus der DE 195 44 920 C2 ein Verfahren zur schnellen und fairen, Hardware-basierten Zufallsauswahl von Signalen bekannt, wobei in einer pseudo-zufällig generierten Reihe 5 folge stets die Gesamtzahl aller Signale auf Aktivität geprüft wird und entsprechen einer gewünschten Anzahl k von auszuwählenden Signalen jeweils die in der Prüfreihenfolge zuerst als aktiv angetroffenen k Signale ausgewählt werden. Dieses Verfahren ermöglicht auf einfache Weise einen sehr 10 guten Fairnessausgleich.

Ausgehend von diesem Stand der Technik liegt der Erfindung die Aufgabe zugrunde, eine Zellkonfliktauflösungseinheit für eine Einrichtung zur Vermittlung einer Mehrzahl von paket-orientierten Signalen zu schaffen, mit der auf einfache Weise und mit geringem externen Hardware-Aufwand eine Vermittlungs-einrichtung realisierbar ist, und welche sich durch eine hohe 15 Verarbeitungsgeschwindigkeit bei der Ermittlung einer ausrei-chend fairen blockierungsfreien Kombination von gleichzeitig möglichen Übertragungsberechtigungen zwischen einer Mehrzahl 20 von Ports einer Vermittlungseinrichtung für paket-orientierte Signale auszeichnet.

Die Erfindung löst diese Aufgabe mit den Merkmalen des Pa-tentanspruchs 1.

Die Erfindung geht von der Erkenntnis aus, dass durch das Vorsehen einer Kaskade von N Komparatoreinheiten eine extrem hohe Geschwindigkeit bei der Ermittlung einer blockierungs-freien Kombination von gleichzeitig zulässigen Übertragungs-wegen zwischen den N Ports einer zentralen Vermittlungsein-richtung unter Gewährleistung einer ausreichenden Fairness dadurch 30 erreichbar ist, dass ein Belegungsvektor parallel in der Kaskade der Komparatoreinheiten durchgereicht wird, wobei die Verarbeitung der Belegungsvektoren und damit die Erzeu-gung der Berechtigungsinformation in den Komparatoreinheiten 35 parallel oder semi-parallel erfolgt.

Nach der bevorzugten Ausführungsform der Erfindung erfolgt die Verarbeitung des Belegungsvektors in und die Weitergabe des Belegungsvektors zwischen den Komparatoreinheiten getaktet, wobei unter Berücksichtigung von Signallaufzeiten und Schaltzeiten der beteiligten Hardware in einem Taktzyklus auch die Verarbeitung des Belegungsvektors in mehreren oder allen Komparatoreinheiten erfolgen kann. Hierdurch lässt sich eine extreme Steigerung der Verarbeitungsgeschwindigkeit erreichen.

In der bevorzugten Ausführungsform weist jeder Verfügbarkeitsvektor, der von jeweils einer bestimmten Porteinheit an jeweils eine bestimmte Komparatoreinheit übergeben wird, N Bits auf, wobei die Position eines Bit im Verfügbarkeitsvektor die Zuordnung der in diesem Bit enthaltenen Information zu einer bestimmten Porteinheit beinhaltet und wobei der eine logische Zustand des Bit signalisiert, ob in der den Verfügbarkeitsvektor liefernden Porteinheit ein Paket oder eine Zelle verfügbar ist, die an diejenige Porteinheit übertragen werden soll, welche der Position des jeweiligen Bit im Verfügbarkeitsvektor entspricht, und wobei der jeweils andere logische Zustand das Fehlen der Verfügbarkeit eines Pakets oder einer Zelle signalisiert. Hierdurch wird eine einfache Auswahl von gleichzeitig blockierungsfrei übertragbaren Paketen oder Zellen ermöglicht.

Zwar wären für jede Porteinheit nur N-1 Bits als Verfügbarkeitsvektor erforderlich, jedoch hätte dies zur Folge, dass eine Verarbeitung durch die jeweils unterschiedliche Zuordnung der Bits zu den (empfangenden) Porteinheiten erschwert würde.

In gleicher Weise umfasst auch der Belegungsvektor bei der bevorzugten Ausführungsform N Bits, wobei die Position eines Bit im Belegungsvektor die Zuordnung der in diesem Bit enthaltenen Information zu einer bestimmten Porteinheit beinhaltet.

tet und wobei der eine logischer Zustand des Bits die bereits erfolgte Belegung der betreffenden Porteinheit für den Empfang eines Pakets oder einer Zelle von einer anderen Porteinheit signalisiert und der jeweils andere logische Zustand die Bereitschaft der betreffenden Porteinheit.

Die Steuereinheit übergibt zu Beginn eines Bearbeitungszyklus einen Anfangs-Belegungsvektor an die jeweils erste Komparatoreinheit. Dieser kann bereits Belegungen aufweisen, wenn

z.B. nicht jedem Port der Zellkonfliktauflösungseinheit eine Porteinheit zugeordnet ist oder wenn bewusst die Übertragung zu einer Porteinheit aus bestimmten Gründen verhindert werden soll.

Innerhalb einer Komparatoreinheit erfolgt die Ermittlung der Berechtigungsinformation, die an die jeweils mit der Komparatoreinheit verbundene Porteinheit zu übermitteln ist, unter Einhaltung einer vorgegebenen Reihenfolge in Bezug auf die Porteinheiten oder die einzelnen Bits des Belegungsvektors.

Um einen Fairnessausgleich hinsichtlich der empfangenden Porteinheiten zu schaffen, kann die Reihenfolge zu Beginn eines Zyklus der Bestimmung der Berechtigungsinformationen durch die N Komparatoreinheiten aus einer vorgegebenen Anzahl von pseudo-zufällig generierten Reihenfolgen ausgewählt werden.

Anstatt nach jedem oder nach einer bestimmten Anzahl von Zyklen die Bearbeitungsreihenfolge innerhalb der Komparatoreinheiten zu ändern, kann jede Komparatoreinheit die Berechtigungsinformation für die betreffende Porteinheit immer in der Reihenfolge der Bits des Belegungsvektors ermitteln. Jeder Komparatoreinheit kann dann eine Permutationseinheit vorgeschaltet sein, welcher der Verfügbarkeitsvektor zuführbar ist und welche die Bits des Verfügbarkeitsvektors entsprechend einer vorgegebenen Vorschrift in ihrer Reihenfolge umordnet. Jeder Komparatoreinheit kann dann ebenso eine inverse Permu-

tationseinheit nachgeschaltet sein, welche unter Berücksichtigung der erfolgten Permutation der Reihenfolge der Bits des Verfügbarkeitsvektors aus der ihr zugeführten Information der Komparatoreinheit, ob und welche Position des Belegungsvektors belegt wurde, ermitteln, welche Berechtigungsinformation an die mit der jeweiligen Komparatoreinheit verbundene Porteinheit zu übermitteln ist.

Nach einer Ausführungsform der Erfindung kann die Auswahlberechtigung für die Übertragung des jeweiligen Pakets oder der jeweiligen Zelle zu einer jeweils anderen Porteinheit in jeder Komparatoreinheit durch N-1 für jede der jeweils anderen N-1 Porteinheiten vorgesehene Quotenzähler oder durch N für jedes Bit des Belegungsvektors vorgesehene Quotenzähler kontrolliert werden. Der Zählerstand (Quote) eines Quotenzählers wird nach jeder erfolgten Auswahl der zugeordneten Porteinheit oder nach jeder Belegung des zugehörigen Bits des Belegungsvektors inkrementiert oder dekrementiert. Nach Erreichen eines vorbestimmten Zählerstands wird die Auswahlberechtigung für die betreffende Porteinheit oder die Belegungsberechtigung für das betreffende Bit des Belegungsvektors gesperrt.

Dabei stellt das Vorsehen von N Zählern wieder die einfacher realisierbare Möglichkeit dar, wenn gleichzeitig eine Permutation der Bits des Verfügbarkeitsvektors erfolgt, da sonst zusätzlich die Information an die jeweilige Komparatoreinheit übergeben werden müsste, welches der N Bits ohnehin nicht belegt werden darf, weil dies ein Zurücksenden des Pakets oder der Zelle an die jeweils sendende Porteinheit bedeuten würde. Dies wäre zwar theoretisch möglich, jedoch wird die Vermittlung von Signalen zwischen verschiedenen Ports ein und derselben Porteinheit vorzugsweise innerhalb der jeweiligen Porteinheit geregelt.

Lediglich N-1 Quotenzähler innerhalb einer Komparatoreinheit vorzusehen, wäre jedoch ohne weiteres möglich, wenn die Bearbeitungsreihenfolge der Bits des Belegungsvektors innerhalb

einer Komparatoreinheit konstant bleibt, da dann immer ein und dasselbe Bit nicht belegt werden muss bzw. darf.

Nach einer Ausführungsform der Erfindung können die Quoten-
5 zähler (21) einer Komparatoreinheit (13) jeweils einem be-
stimmten Bit des Belegungsvektors (CRres) zugeordnet sein.
Die Steuereinheit (11) kann in diesem Fall alle Quotenzähler
(21) aller Komparatoreinheiten (13), die einem bestimmten Bit
des Belegungsvektors (CRres) zugeordnet sind, auf einen An-
10fangswert (Anfangs-Quote) setzen, wenn keine Komparatorein-
heit (13) mehr existiert, in welcher der betreffende Quoten-
zähler (21) noch eine Quote besitzt und zugleich das betref-
fende Bit des permutierten Verfügbarkeitsvektors (CRreq*) ein
zu übertragendes Paket oder eine zu übertragende Zelle an-
15 zeigt.

Nach einer anderen Ausführungsform der Erfindung können die Quotenzähler (21) einer Komparatoreinheit (13) jeweils einer bestimmten Porteinheit (3) zugeordnet sein. In diesem Fall
20 kann die Steuereinheit (11) alle Quotenzähler (21) aller Kom-
paratoreinheiten (13), die einer bestimmten Porteinheit (3)
zugeordnet sind, auf einen Anfangswert (Anfangs-Quote) set-
zen, wenn keine Komparatoreinheit (13) mehr existiert, in
welcher der betreffende Quotenzähler (21) noch eine Quote
besitzt und zugleich ein Paket oder eine Zelle von der mit
der Komparatoreinheit (13) verbundenen Porteinheit an die
betreffende Porteinheit zu übertragen ist.

Hierbei kann den Komparatoreinheiten (13) die Permutationsin-
30 formation zugeführt sein, wobei die Komparatoreinheiten (13)
die Quotenzähler in ihrer Reihenfolge permutieren und die
Information ob eine Zelle zur Übertragung zur Verfügung
steht, den permutierten Verfügbarkeitsvektoren CRreq* entneh-
men.

35

Werden von der Steuereinheit einem oder mehreren Quotenzäh-
lern eine höhere Anfangs-Quote zugeordnet wird als anderen

Quotenzählern, so lässt sich hierdurch eine Priorisierung bestimmter Übertragungswege bzw. Knoten der Vermittlungseinrichtung realisieren.

- 5 Nach einer Ausführungsform der Erfindung lassen sich die Komparatoreinheiten jeweils unter Verwendung eines N-stufigen Priority-Encoders realisieren, wobei jeder der N Eingänge des Priority-Encoders mit dem Ausgang eines UND-Glieds verbunden ist und wobei einem ersten Eingang des UND-Glieds das entsprechende Bit des ggf. permutierten Verfügbarkeitsvektors zugeführt ist, einem zweiten Eingang des UND-Glieds das betreffende Bit des Belegungsvektors, der am Ausgang der jeweils vorhergehenden Komparatoreinheit anliegt und einem dritten Eingang des UND-Glieds die Information des zugehörigen Quotenzählers, die logisch EINS ist, wenn noch eine Auswahlberechtigung gegeben ist, und logisch NULL, wenn keine Auswahlberechtigung mehr gegeben ist.
- 10
- 15

Die Zellkonfliktauflösungseinheit nach der Erfindung kann als separater integrierter Schaltkreis ausgebildet sein. Ebenso ist eine derartige Einheit jedoch auch in eine zentrale Vermittlungseinrichtung (einen Crossbar-Chip) integrierbar, welcher N Ports zum Anschluss von maximal N Porteinheiten aufweist.

Weitere Ausführungsformen der Erfindung ergeben sich aus den Unteransprüchen.

- 30
- 35

Die Erfindung wird nachfolgend anhand eines in der Zeichnung dargestellten Ausführungsbeispiels näher erläutert. In der Zeichnung zeigen:

Fig. 1 die schematische Architektur einer Vermittlungsvorrichtung bei gleichzeitiger schematischer Darstellung des Datenflusses mit einer in den Crossbar-Chip integrierten Zellkonfliktauflösungseinheit nach der Erfindung;

Fig. 2 die schematische Darstellung der zentralen Vermittlungseinheit und einer Porteinheit in Fig. 1 unter gleichzeitiger Darstellung des Informationsflusses bei der Kollisionsauflösung;

5 Fig. 3 den schematischen Aufbau der von den Porteinheiten zur zentralen Vermittlungseinheit (Fig. 3a) und von der zentralen Vermittlungseinheit zu den Porteinheiten (Fig. 3b) übertragenen Datenblöcke;

10 Fig. 4 den schematischen Aufbau der zentralen Vermittlungseinheit in den Fig. 1 und 2;

15 Fig. 5 den schematischen Aufbau der Zellkonfliktauflösungseinheit nach der Erfindung und

Fig. 6 den schematischen Aufbau des Kernstücks einer Komparatoreinheit in Fig. 5.

20

Fig. 1 zeigt schematisch die Architektur einer Vermittlungsanordnung 1 nach der Erfindung, welche aus insgesamt N Porteinheiten 3₁ bis 3_N und einer zentralen Vermittlungseinheit 5 besteht. Jede der N Porteinheiten 3₁ 3_N weist n Ports 7₁ bis 7_n auf, denen jeweils ein Signal S_{ij} zugeführt werden kann, wobei gilt: 1 ≤ i ≤ n und 1 ≤ j ≤ N. Die Porteinheiten sind üblicherweise so ausgebildet, dass an jedem Port eine bidirektionale Kommunikation möglich ist. Selbstverständlich kann das Prinzip der vorliegenden Erfindung jedoch auch auf Systeme angewandt werden, bei denen bestimmte oder alle Ports nur für eine unidirektionale Kommunikation ausgebildet sind. Dies wird jedoch in der Praxis eher selten der Fall sein.

35 Die in Fig. 1 dargestellten Porteinheiten 3 sind vorzugsweise als integrierte Portbausteine oder separate Baueinheiten ausgeführt. Gleiches gilt für die zentrale Vermittlungseinheit

5. Hierdurch wird ein modularer Aufbau erreicht, der wiederum eine einfache Skalierung, d.h. Anpassung der Vermittlungsvorrichtung an die jeweils erforderliche Anzahl von zu vermittelnden Datenleitungen ermöglicht.

5

Wie in Fig. 1 dargestellt, sind die Porteinheiten 3 und die zentrale Vermittlungseinheit 5 über Schnittstelleneinheiten verbunden. Die in den Porteinheiten 3 vorgesehenen Schnittstelleneinheiten sind dabei mit „CB-IF“ (Crossbar Interface) bezeichnet und die in der zentralen Vermittlungseinheit 5 vorgesehenen Schnittstelleneinheiten mit „Port IF“ (Port Interface). Dabei ist in der zentralen Vermittlungseinheit 5 für jede Porteinheit 3 eine separate Schnittstelleneinheit Port IF vorgesehen. Jede Schnittstelleneinheit Port IF und CB-IF kann, wie aus Fig. 4 für die zentrale Vermittlungseinheit ersichtlich, über eine Low-Voltage-Differential-Signaling-Einheit (LVDS) mit den Übertragungsleitungen zwischen den Porteinheiten 3 und der zentralen Vermittlungseinheit 5 verbunden sein. Hierdurch ist eine Reduktion der Anzahl der Verbindungsleitungen möglich, wobei beispielsweise zwischen den Schnittstelleneinheiten Port IF bzw. CB-IF und den LVDS-Einheiten 16 Bit breite Datenleitungen vorgesehen sein können und zwischen den LVDS-Einheiten 4 Bit breite Datenleitungen (jeweils differentielle Signale auf insgesamt 8 physikalischen Leitungen).

10

15

20

30

35

Die zentrale Vermittlungseinheit 5 übernimmt die Funktion eines Crossbar-Schalters, so dass eine vollständig zeitlich parallele interne Datenübertragung von maximal N (Crossbar-internen) Signalen möglich ist (bei Realisierung einer Voll-duplexübertragung über LVDS-Einheiten). Die Datenein-/ausgänge der Schnittstelleneinheiten Port IF sind mit der eigentlichen Switching-Matrix (Matrix) verbunden. Des Weiteren kann ein Port IF die Switching-Matrix in der ihr mitgeteilten Weise durchschalten, so dass der gewünschte Pfad von einem Port IF zu einem anderen Port IF innerhalb der zentralen Vermittlungseinheit für die Datenübertragung zur Verfü-

gung steht. Um zu verhindern, dass mehrere Ports 7 verschiedener Porteinheiten 3 gleichzeitig auf einen Port 7 einer anderen Porteinheit zugreifen - dies würde einen Zellverlust bzw. eine interne Blockierung bedeuten -, ist eine Einheit 8.

5 zur Auflösung von Kollisionen vorgesehen, die im Folgenden auch als Contention-Resolution-Einheit(CR) bezeichnet wird. Die CR-Einheit 8 ist vorzugsweise innerhalb der zentralen Vermittlungseinheit vorgesehen und zusammen mit dieser als integrierter Schaltkreis ausgebildet. Da die CR-Einheit 8, 10 wie aus der folgenden Beschreibung ersichtlich, sehr schnell Daten zwischen ihr und den Schnittstelleneinheiten Port IF austauschen muss, ergibt sich durch die Integration der CR-Einheit der Vorteil sehr kurzer Hochgeschwindigkeitsübertragungsleitungen.

15

Im Folgenden wird anhand der Figuren das erfindungsgemäße Verfahren bzw. die Funktion der Vermittlungsvorrichtung nach der Erfindung näher erläutert:

20 Entsprechend der Darstellung in Fig. 1 sind den Ports 7_1 bis 7_n der Porteinheiten 3_1 bis 3_N jeweils ein Signal S_{ij} zugeführt. Bei den Signalen handelt es sich um jeweils einen Strom von Datenpaketen, die eine unterschiedliche Länge aufweisen können.

Zunächst werden die Datenpakete der einzelnen Signale S_{ij} von den Porteinheiten 3 segmentiert, d.h. in einzelne Zellen konstanter Länge aufgeteilt. Die Zellen werden in einem Pufferspeicher 9 abgelegt, der in den Porteinheiten 3 integriert 30 oder als externer Speicher ausgebildet sein kann. Die Segmentierung übernimmt eine in jeder Porteinheit 3 vorgesehene, nicht näher dargestellte Steuereinheit, die den Pufferspeicher 9 so organisiert, dass für jede der jeweils anderen Porteinheiten 3 ein separater virtueller Pufferspeicher (9a) entsteht, in welchem die an die betreffende andere Porteinheit zu übertragenden Zellen enthalten sind. Zu diesem Zweck wertet jede Porteinheit 3 bzw. deren Steuereinheit die Ad-

ressinformation jedes empfangenen Pakets aus, und stellt anhand dieser Information fest, ob das Paket bzw. die entsprechenden Zellen an eine andere Porteinheit 3 übertragen werden müssen oder nicht und ordnet die entsprechenden Zellen dem jeweiligen virtuellen (9a) Speicher zu. Die Zuordnung der Zellen eines Datenpakets untereinander kann durch das Vorsehen von Pointern aufrechterhalten werden kann. Selbstverständlich kann auch jeweils ein separater Speicher für jede der anderen Porteinheiten vorgesehen sein.

10

Bei den separaten oder virtuellen Speichern (9a) handelt es sich dem Typ nach um FIFO-Speicher, da beim Ein- und Auslesen der Zellen deren Reihenfolge erhalten bleiben soll.

15

Stellt die Porteinheit fest, dass keine Übertragung an eine andere Porteinheit erforderlich ist, so übernimmt die Porteinheit den Porteinheit-internen Vermittlungsprozess. Selbstverständlich wird in der Regel auch hierfür eine Pufferung der Datenpakete notwendig sein, nicht jedoch zwingend deren Segmentierung. Da diese Porteinheit-interne Vermittlungsfunktion der Vermittlungsvorrichtung 1 für die vorliegende Erfindung nicht relevant ist, kann auf eine detailliertere Erläuterung verzichtet werden.

20

Ein derartiger Pufferspeicher 9 pro Porteinheit 3 ist in jedem Fall erforderlich, da intern jeweils nur eine Zelle von einer Porteinheit zur zentralen Vermittlungseinheit übertragen werden kann. Zudem wird bei einer asynchronen Übertragung der Signale S_{ij} eine Pufferung erforderlich, um Übertragungsspitzen abzufangen. Dies ist beispielsweise in ATM- und Ethernet-Systemen der Fall, da unterschiedliche Dienste und unterschiedliche Ports mit unterschiedlichen Datenübertragungsraten arbeiten und insbesondere bei IP-Verkehr die Header-Auswertezeit sehr stark streut.

30

35

Grundsätzlich kann auch auf eine Segmentierung der Pakete zur internen Übertragung verzichtet werden und eine Übertragung

der Datenpakete innerhalb der Vermittlungsvorrichtung 1 im Ganzen erfolgen. Durch eine Segmentierung ergibt sich jedoch der Vorteil, dass innerhalb der Vermittlungsvorrichtung unabhängig von der jeweiligen Länge der Pakete eine taktsynchrone Übertragung erfolgen kann. Zudem wird eine faire Behandlung der einzelnen (Ausgänge der) Porteinheiten einfacher.

Die Übertragung der Zellen innerhalb der Vermittlungsvorrichtung 1 erfolgt taktsynchron, d.h. in einem Timeslot werden jeweils ein oder mehrere Zellen von den Porteinheiten 3 zur zentralen Vermittlungseinheit 5 und umgekehrt übertragen. Ein Timeslot kann bei einer internen Übertragungsgeschwindigkeit von 2 Gbit/s (auf jeder Verbindung zwischen den Porteinheiten und der zentralen Vermittlungseinheit und innerhalb der zentralen Vermittlungseinheit) und einer Zellenlänge oder -größe von 70 Bit beispielsweise eine Zeitdauer von 280 ns aufweisen.

Um eine Blockierung innerhalb der Vermittlungsvorrichtung zu vermeiden, übermittelt jede Porteinheit 3 zunächst Verfügbarkeitsinformationen an die zentrale Vermittlungseinheit 5. Die Verfügbarkeitsinformationen beinhalten, für welche anderen Porteinheiten momentan in der jeweiligen Porteinheit Zellen zur Übertragung vorhanden sind. Im oben angegebenen Modell der in den Porteinheiten für die jeweils anderen Porteinheiten vorgesehenen virtuellen separaten Pufferspeicher (9a) ausgedrückt, beinhalten die Verfügbarkeitsinformationen also, ob in den einzelnen virtuellen Pufferspeichern jeweils keine oder wenigstens eine Zelle enthalten ist.

Die Verfügbarkeitsinformationen können, wie in Fig. 3a dargestellt, im Header der jeweils von den Porteinheiten 3 zur zentralen Vermittlungseinheit 5 übertragenen Zellen übertragen werden, um einen separaten Übertragungsschritt und den damit verbundenen höheren Protokollaufwand zu vermeiden.

Die Verfügbarkeitsinformationen können dabei als Contention-Request-Vektor (CRreq) zusammengefasst werden, wobei der Vektor entsprechend der Anzahl der Porteinheiten aus N Bit besteht. Die Position jedes Bit innerhalb des CRreq-Vektors

5 gibt die Nummer j ($1 \leq j \leq N$) der Porteinheit 3_j an und die Belegung des betreffenden Bit, ob in der jeweiligen Porteinheit für die Porteinheit 3_j eine Zelle zur Übertragung zur Verfügung steht.

10 Der CRreq-Vektor muss nicht zwingend mit der tatsächlich im nächsten Timeslot zu übertragenden Zelle verknüpft sein, sondern kann ein oder mehrere Timeslots in die Zukunft gerichtet sein., D.h., die jeweilige Verfügbarkeitsinformation bezieht sich auf Zellen, die erst in zwei oder mehreren Timeslots in
15 der Zukunft möglicherweise übertragen werden, wobei diese Zeitverschiebung bei allen Porteinheiten 3 konstant sein muss.

20 Die zentrale Vermittlungseinheit 5 bzw. die Schnittstellen-
einheiten Port IF lesen nach dem Empfang der ggf. mehreren gleichzeitig von den Porteinheiten übertragenen Zellen jeweils die darin enthaltenen Verfügbarkeitsinformationen aus und übermitteln diese zusammen mit der Information, von welcher Porteinheit die Verfügbarkeitsinformation übertragen wurden, an die CR-Einheit 8. Die CR-Einheit 8 ermittelt nach einem vorgegebenen Contention-Resolution-Algorithmus jeweils eine mögliche Kombination von zulässigen, d.h. kollisions-
freien Übertragungsmöglichkeiten von entsprechenden Sende-
Porteinheiten zu entsprechenden Empfangs-Porteinheiten.

30 Die so ermittelte Kombination wird in Form von Berechtigungs-
information CRgnt zumindest an diejenigen Porteinheiten 3 übermittelt, die für den betreffenden Timeslot eine Übertragungsberechtigung erhalten sollen.

35 Vorzugsweise werden diese Berechtigungsinformationen, wie aus Fig. 3b ersichtlich, wiederum im Header von Zellen übertra-

gen. Beispielsweise kann die jeweilige Schnittstelleneinheit Port IF die kodierte Chip-ID der Porteinheit, zu der eine Übertragung von der mit der jeweiligen Schnittstelleneinheit Port IF verbundenen Porteinheit freigegeben wurde, in den Header einer zu übertragenden Zelle schreiben, wenn der mit der jeweiligen Port IF verbundenen Porteinheit für den betreffenden Timeslot eine Übertragungsberechtigung (für die betreffende Zelle) erteilt werden soll. Soll der betreffenden Porteinheit keine Berechtigung erteilt werden, so kann der Header im Bereich, der für die Berechtigungsinformation reserviert ist, eine definierte Belegung enthalten, die von den Porteinheiten als „keine Berechtigung erteilt“ interpretiert wird.

Die zentrale Vermittlungseinheit 5 bzw. die Schnittstellen-
einheiten Port IF lesen nach dem Empfang einer Zelle nicht
nur die den Verfügbarkeitsvektor CRreq aus, sondern auch zu-
mindest diejenigen Adressinformationen (in Fig. 3 mit „desti-
nation“ bezeichnet), die benötigt werden, um die Porteinheit
zu ermitteln, an die die betreffende Zelle übertragen werden
soll.

Anstelle einer derartigen Adressauswertung kann jede Schnitt-
stelleneinheit Port IF auch die Berechtigungsinformationen,
die ihr von der CR-Einheit zugeführt werden, dazu verwenden,
um im betreffenden Timeslot die Switching-Matrix so durchzu-
schalten, dass die jeweilige Zelle noch im selben Timeslot an
die richtige Porteinheit übertragen wird.

Da im Header der Zellen, die von der zentralen Vermittlungs-
einheit 5 an die jeweiligen Porteinheiten 3 übertragen wer-
den, kein CRreq-Vektor enthalten sein muss, kann dieser Platz
im Header zur Übertragung anderer Informationen genutzt wer-
den, beispielsweise für Zustandsinformationen der Porteinhei-
ten 3.

In den Porteinheiten 3 werden nach dem Empfang einer Zelle die Berechtigungsinformationen CRgnt ausgelesen und festgestellt, ob für den betreffenden Timeslot eine Berechtigung (entsprechend den zuvor an die zentrale Vermittlungseinheit 5 übersandten Verfügbarkeitsinformationen) erteilt wurde

Die Porteinheit bzw. die entsprechende Steuereinheit, die nach dem Empfang einer Zelle feststellt, dass eine Berechtigungsinformation vorliegt, stellt die betreffende Zelle, für die zuvor eine Verfügbarkeitsinformation an die zentrale Vermittlungseinheit übermittelt wurde, zur Übertragung in dem betreffenden Timeslot bereit. Hierzu wird die betreffende Zelle aus dem Speicher 9 ausgelesen und an die Schnittstelleneinheit CB-IF übergeben.

Nach dem Empfang einer Zelle durch eine Porteinheit 3 liest die Steuereinheit der Porteinheit die Adressinformation im Header der Zelle und ordnet die Zelle dem jeweiligen Ausgangsport bzw. der jeweiligen Media Access Control (MAC) (nicht dargestellt) zu. Zudem werden in der Porteinheit bzw. der jeweiligen MAC der einzelnen Ports die einzelnen Zellen wieder zu den ursprünglichen Datenpaketen zusammengesetzt und an den jeweiligen Adressaten übermittelt.

Nach dem Empfang einer Zelle durch die Schnittstelleneinheit CB-IF einer Porteinheit und dem Auslesen und Auswerten der Berechtigungsinformation muss sofort eine neue Verfügbarkeitsinformation CRreq ermittelt und in der nächsten zur zentralen Vermittlungseinheit 5 zu übertragenden Zelle eingefügt werden. Dieser Vorgang ist extrem zeitkritisch.

Fig. 5 zeigt den schematischen internen Aufbau der Contention-Resolution-Einheit 8, welche eine Steuereinheit 11 und eine Kaskade von N Komparatoreinheiten 13 (13_1 bis 13_N) aufweist. Jeder Komparatoreinheit 13 ist bei der in Fig. 5 dargestellten Ausführungsform eine Permutationseinheit 15 (15_1 bis 15_N) vorgeschaltet, welche jeweils mit den Schnittstel-

leneinheiten PORT IF der zentralen Vermittlungseinheit 5 verbunden sind. Die Permutationseinheiten 15 werden von einem Zähler 16 beaufschlagt. Die Komparatoren sind innerhalb der Kaskade über parallele Verbindungsleitungen 17 verbunden, 5 über die der Belegungsvektor CRres (vgl. unten) jeweils von einer Komparatoreinheit an die jeweils nächste Komparatoreinheit innerhalb der Kaskade übergeben werden kann. Jeder Komparatoreinheit 13 ist bei der in Fig.5 dargestellten Contention-Resolution-Einheit eine inverse Permutationseinheit 19 10 (19₁ bis 19_N) nachgeschaltet. Die Steuereinheit 11 steuert den Zähler 16 an und ist zudem mit jeder der Komparatoreinheiten 13 verbunden. Darüber hinaus ist die Steuereinheit 11 über Verbindungsleitungen 17 mit dem ersten Komparator 13₁ der Kaskade verbunden.

15

Die in Fig. 5 dargestellte Contention-Resolution-Einheit arbeitet wie folgt:

20 In jedem Timeslot wird von der Contention-Resolution-Einheit 8 ein Gesamtzyklus durchlaufen, innerhalb dessen jeweils die Berechtigungsinformationen CRgnt für alle Porteinheiten ermittelt werden, die dann über die Schnittstelleneinheiten PORT IF an die jeweiligen Porteinheiten übertragen werden.

Das Ermitteln der Berechtigungsinformationen CRgnt erfolgt dabei getaktet, wobei der Takt in der Contention-Resolution-Einheit 8 vorzugsweise gleich dem Takt in der übrigen zentralen Vermittlungseinheit ist.

30 Zu Beginn eines Gesamtzyklus werden den Permutationseinheiten 15 die Contention-Request-Vektoren CRreq, d.h. die Verfügbarkeitsvektoren der einzelnen Porteinheiten übermittelt. In den Permutationseinheiten 15 ist jeweils eine bestimmte Anzahl von pseudo-zufällig generierten Reihenfolgen abgelegt, von 35 denen jeweils in allen Permutationseinheiten dieselbe Reihenfolge aktiv ist. Durch die Beaufschlagung der Permutationseinheiten 15 durch den Ausgang des Zählers 16 wird jeweils

eine bestimmte der Reihenfolgen aktiviert. Selbstverständlich kann auch die Abfolge der Reihenfolgen in den Permutationseinheiten festgelegt sein, so dass durch das einfache Zuführen eines „Weiterschalt-Impulses“ jeweils die nächste Reihenfolge aktiviert werden kann.

Das Verändern der Reihenfolge kann jeweils nach einer bestimmten Anzahl von Gesamtzyklen erfolgen. In der Praxis wird man jedoch vorzugsweise nach jedem Gesamtzyklus auf eine andere Reihenfolge umschalten.

Die Permutationseinheit verwendet die jeweils aktive Reihenfolge, um die Bits des CRreq Vektors entsprechend umzuordnen. Hierdurch wird erreicht, dass keine der Porteinheiten 3 (als Empfangs-Porteinheiten) durch ihre Position innerhalb des Belegungsvektors bevorzugt ist. Die umgeordneten CRreq Vektoren werden den Komparatoreinheiten 13 übergeben.

Die Steuereinheit 11 übergibt einen Anfangs-Belegungsvektor CRres an die erste Komparatoreinheit 13₁. In jeder Komparatoreinheit 13 ist zudem für jedes Bit des Belegungsvektors ein Quotenzähler 21 (Fig. 6) vorgesehen. Jeder Quotenzähler stellt fest, wie oft das betreffende Bit des Belegungsvektors bereits von der betreffenden Komparatoreinheit 13 ausgewählt wurde. Wird eine vorgegebene maximale Anzahl überschritten, so wird in der Komparatoreinheit die Berechtigung zur erneuten Auswahl dieses Bits gesperrt.

Hierzu können die Quotenzähler 21 beispielsweise als von der Steuereinheit rücksetzbarer Rückwärtszähler ausgebildet sein (durch das Rücksetzen wird der Zähler auf einen vordefinierten festen Wert gesetzt). Soll bewusst eine Priorisierung einer Porteinheit (als sendende Porteinheit) erzeugt werden, so können die Quotenzähler als von der Steuereinheit mit vorgegebenen Werten ladbare Zähler ausgebildet sein.

Die Quotenzähler weisen vorzugsweise einen binären Ausgang auf, wobei ein logisch Zustand (beispielsweise logisch EINS) eine Auswahlberechtigung signalisiert und der jeweils andere Zustand (beispielsweise logisch NULL) das Fehlen der Auswahl-

5 berechtigung.

Zunächst wird in der ersten Komparatoreinheit 13_1 anhand des Anfangs-Belegungsvektors, des umgeordneten CRreq Vektors und der Ausgänge der Quotenzähler für jedes Bit des Belegungsvek-

10 tors geprüft, ob dieses bereits belegt oder noch frei ist.

Dabei kann auch der Anfangs-Belegungsvektor bereits belegt Bits aufweisen. Beispielsweise kann die Steuereinheit entsprechende Bits vorbelegen, wenn nicht alle Schnittstellen-
einheiten PORT IF der zentralen Vermittlungseinheit 5 mit
15 Porteinheiten 3 verbunden sind.

Wird ein Bit als belegt festgestellt, so erübrigt sich jede weitere Prüfung. Wird ein Bit dagegen als frei erkannt, so wird geprüft, ob das betreffende Bit (mit derselben Position) 20 des umgeordneten CRreq Vektors das Vorhandensein einer zu übertragenden Zelle signalisiert. Ist dies der Fall und wird anhand des Ausgangs des betreffenden Quotenzählers eine Auswahlberechtigung erkannt, so belegt die Komparatoreinheit 13_1 das betreffende Bit des Belegungsvektors. Der Prüfvorgang ist damit abgeschlossen, da jeweils nur eine Zelle an die entsprechende Porteinheit übertragen werden kann. Wird für dieses Bit des Belegungsvektors CRres eine fehlende Auswahlbe-
rechting erkannt oder zeigt der CRreq Vektor keine zu über-
tragende Zelle an, so wird der Prüfvorgang fortgesetzt. Die-
30 ses Prüfverfahrens wird solange durchgeführt, bis ein Bit des CRres Vektors von der Komparatoreinheit 13_1 belegt wurde oder bis alle Bits des Vektors geprüft wurden.

Diese Prüfung wird bei der in Fig. 5 dargestellten Ausfüh-
35 rungsform vorzugsweise in der Reihenfolge der Bits des CRres Vektors vorgenommen.

Grundsätzlich wäre es jedoch auch möglich, anstelle der Umordnung der CRreq Vektoren in den Permutationseinheiten 15 die Prüfreihenfolge der Bits des CRres Vektors in den Komparatoreinheiten zu ändern.

5

Nach der Prüfung des CRres Vektors in der Komparatoreinheit 13₁ wird dieser an die Komparatoreinheit 13₂ übergeben. In dieser läuft dann erneut ein Prüfvorgang nach dem oben erläuterten Schema ab. Diese Schritte werden solange wiederholt, 10 bis der Belegungsvektor von sämtlichen Komparatoreinheiten geprüft und ggf. entsprechende freie Bits belegt wurden. Der Gesamtzyklus ist damit abgeschlossen.

Am Ende jedes Gesamtzyklus wird die am Ausgang jeder inversen 15 Permutationseinheit 19 anliegende Berechtigungsinformation über die jeweilige Schnittstelleneinheit PORT IF an die betreffende Porteinheit 3 übermittelt. Jede inverse Permutationseinheit 19 erhält von der betreffenden Komparatoreinheit 13 die Information, ob und welches Bit des Belegungsvektors 20 belegt wurde. Die inverse Permutationseinheit kennt die von den Permutationseinheiten angewandte Umordnungsvorschrift und ermittelt aus der Bitposition, die belegt wurde wieder die ursprüngliche Bitposition.

Hierzu können in den inversen Permutationseinheiten 19 inverse Reihenfolgen abgelegt sein, durch deren Anwenden die in den Permutationseinheiten 15 vorgenommene Umordnung rückgängig gemacht wird. Wie im Fall der Permutationseinheiten 15 kann auch bei den inversen Permutationseinheiten 19 durch den 30 diesen zugeführten Ausgang des Zählers 13 eine Auswahl bzw. ein Weiterschalten der inversen Reihenfolgen bewirkt werden.

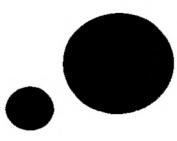
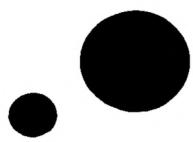
Zusätzlich kann jede inverse Permutationseinheit 19 nach dem Rückvertauschen des jeweiligen Belegungsvektors CRres und der 35 ihr bekannten Zuordnung der Porteinheiten 3 zu den Positionen des CRreq Vektors als Berechtigungsinformation CRgnt die ID-Nummer derjenigen Porteinheit 3 an die mit der jeweiligen

Komparatoreinheit verbundene Porteinheit übermitteln, an welche die letztgenannte eine Zelle übertragen kann.

Vor Beginn der Prüfung des CRres Vektors in der Kaskade der Komparatoreinheiten 13 (oder nach Beendigung der Prüfung des CRres Vektors im vorhergehenden Gesamtzyklus) stellt die Steuereinheit 11 fest, ob zumindest ein Quotenzähler 21 einer Komparatoreinheit 13 für ein bestimmtes Bit innerhalb des CRres Vektors noch eine Quote aufweist und gleichzeitig noch das betreffende Bit des dieser Komparatoreinheit zugeführten permutierten CRreq Vektors (mit CRreq* bezeichnet) eine zur betreffenden Porteinheit 3 zu übertragende Zelle anzeigt. Ist dies nicht der Fall, so veranlasst die Steuereinheit 11 ein Zurücksetzen aller für das betreffende Bit des CRres Vektors zuständigen Quotenzählern 21 der Komparatoreinheiten 13 auf die Ausgangsquote.

Während bei der oben geschilderten Möglichkeit die Quotenzähler 21 in einfacher Weise einem bestimmten Bit des CRres Vektors zugeordnet waren, kann in einer anderen Ausführungsform eine Zuordnung der Quotenzähler 21 zu den Ausgängen der zentralen Vermittlungseinheit 5 bzw. zu den Porteinheiten erfolgen. Da jedoch den Komparatoren 13 in jedem Fall die permutierte Vektor CRreq* zugeführt werden, muss in diesem Fall den Komparatoreinheiten 13 auch noch die Permutationsinformation mitgeteilt werden. Mit dieser Information kann dann zur Prüfung, ob bestimmte Zähler auf eine Ausgangsquote gesetzt werden müssen, entweder eine Umordnung auch der Reihenfolge der Quotenzähler vorgenommen werden oder die Umordnung der Bits der CRreq* Vektoren rückgängig gemacht werden.

Nach einer anderen Ausführungsform ist es auch möglich, zusätzlich zu den CRreq* Vektoren die nicht permutierten CRreq Vektoren an die Komparatoreinheiten 13 zu übergeben. Damit können die den Porteinheiten 2 zugeordneten Quotenzähler 21 unmittelbar feststellen, ob zu der betreffenden Porteinheit 3 noch eine Zelle zu übertragen ist.



Wird auf eine Priorisierung der jeweils sendenden Porteinheiten 3 verzichtet, so kann im einfachsten Fall die Quote Eins verwendet werden, wobei hier die Quotenzähler durch ein Bit,

5 hardware-technisch z.B. durch ein Flipflop realisiert werden können. Die Quotenzähler können dann auch zu einem Vektor mit N Bits zusammengefasst und beispielsweise durch ein Register der Länge N realisiert werden. Ein gesetztes Bit kann dann z.B. eine vorhandene Quote und ein nicht gesetztes Bit eine

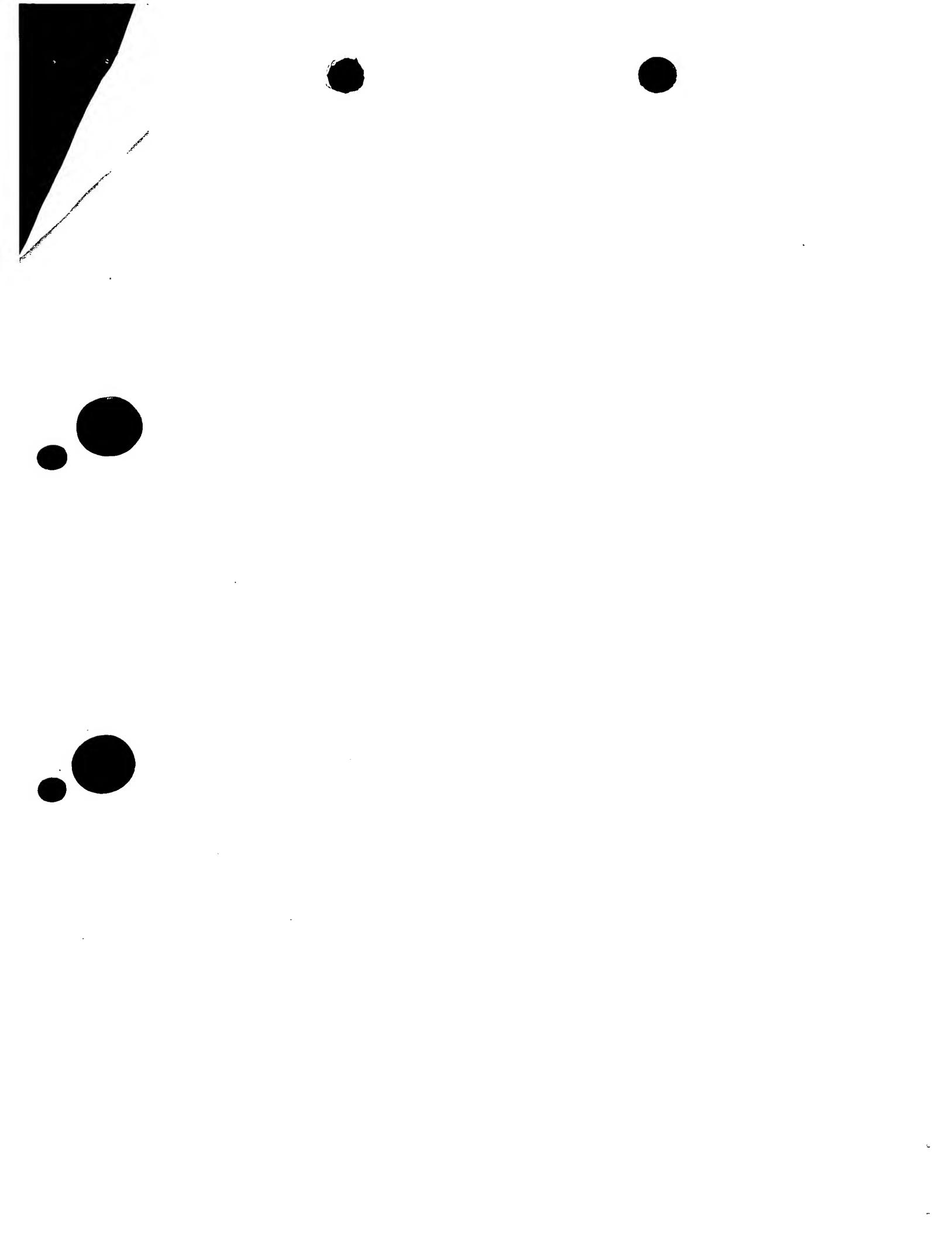
10 fehlende Quote anzeigen.

Fig. 6 zeigt den prinzipiellen Aufbau des Kerns einer Ausführungsform für eine Komparatoreinheit 13. Diese umfasst einen N-stufigen Priority-Encoder 23 dessen Verhalten sich wie folgt beschreiben lässt: Jeder Ausgang O_i ($1 \leq i \leq N$) wird auf logisch EINS gesetzt, wenn alle vorherigen Eingänge I_{i-1} auf logisch NULL liegen und der zugehörige Eingang I_i auf logisch EINS liegt. Mit anderen Worten, nur derjenige Ausgang wird auf logisch EINS gesetzt, dessen zugehöriger Eingang in der Reihenfolge der N Stufen des Priority-Encoders der erste ist, der auf logisch EINS liegt.

Fig. 6 zeigt hierzu lediglich die ersten vier Stufen A, B, C, D, des Priority-Encoders 23 mit den Eingangszuständen a, b, c, d und Logikverknüpfungen, welche die entsprechenden Ausgangszustände erzeugen.

Die Eingänge I_i der einzelnen Stufen des Priority-Encoders 23 sind jeweils mit dem Ausgang eines UND-Gatter 25 verbunden,

30 welches jeweils drei Signale logisch UND-verknüpft, nämlich das jeweilige Bit $CRreq[i]$ des CRreq-Vektors, das jeweilige Bit $CRres[i]$ des der Komparatoreinheit 13 zugeführten Belegungsvektors Crres und den Ausgang des jeweiligen Quotenzählers 21. Somit wird das gewünschte Ziel erreicht, dass das jeweilige Bit des Belegungsvektors nur dann belegt wird, wenn dieses noch unbelegt war und wenn eine entsprechende Zelle zu



übertragen ist und gleichzeitig noch eine Belegungsberechtigung gegeben ist.

Für das starten eines Contention-Resolution-Zyklus kann die
5 Steuereinheit 11 einen Startimpuls CR_{start} erhalten. Das Prüfen der Belegungsberechtigung ggf. einschließlich der Erzeugung der Berechtungsinformation CRgnt kann aus Sicherheitsgründen getaktet erfolgen. Dabei werden in einem Taktzyklus
10 beispielsweise nur die in jeweils einer Komparatoreinheit 13 erforderlichen Aktionen durchgeführt. Der jeweils bearbeitete CRres Vektor kann dann mittels eines Ausgangsregisters (nicht dargestellt) der jeweils nächsten Komparatoreinheit der Kaskade übergeben werden.

15 Lassen es die Schaltzeiten der einzelnen Bauelemente, die Signallaufzeiten etc. zu, so können auch mehrere Komparator-einheiten 13 zusammengefasst werden. Hierzu werden in der Ausführungsform nach Fig. 6 die Ausgänge des Priority-Encoders 23 einer Komparatoreinheit 13 jeweils direkt mit den
20 Eingängen, z.B. den betreffenden Eingängen der UND-Gatter 25 verbunden. Durch diese Maßnahme können innerhalb eines Taktzyklus die Aktionen mehrerer oder sogar aller Komparatoreinheiten abgearbeitet werden, wodurch sich eine enorme Steigerung der Verarbeitungsgeschwindig erzielen lässt.

Patentansprüche

1. Zellkonfliktauflösungseinheit für eine Einrichtung zur Vermittlung einer Mehrzahl von paket-orientierten Signa-

5 len,

a) wobei die Vermittlungseinrichtung (1) aus einer zentralen Vermittlungseinheit (5) und maximal N mit dieser verbundenen Porteinheiten (3) mit jeweils n Ports (7) besteht, welchen jeweils ein Signal zuführbar ist,

b) wobei die Zellkonfliktauflösungseinheit (8) N Eingänge aufweist, welchen jeweils von einer der N Porteinheiten (3) ein Verfügbarkeitsvektor (CRreq) mit Verfügbarkeitsinformationen zuführbar ist, die beinhalten, ob und an welche weitere Porteinheiten (3) ein Paket eines Signals oder eine Zelle eines segmentierten Pakets eines Signals zu übertragen ist,

c) wobei jeder Verfügbarkeitsvektor (CRreq) jeweils einer Komparatoreinheit (13) einer Kaskade von N Komparatoreinheiten (13_1 bis 13_N) zuführbar ist, welche mit einer Steuereinheit (11) verbunden sind, und

d) wobei jede Komparatoreinheit (13) unter Verwendung des jeweiligen Verfügbarkeitsvektors (CRreq), einer von dem jeweils vorhergehenden Komparator (13) oder der Steuereinheit (11) erzeugten Belegungsinformation (CRres) in Bezug auf die Übertragung des jeweiligen Pakets oder der jeweiligen Zelle zu den Porteinheiten und unter Verwendung einer Auswahlberechtigungsinformation für die Übertragung des jeweiligen Pakets oder der jeweiligen Zelle zu den Porteinheiten (3) eine Berechtigungsinformation (CRgnt) ermittelt und an die mit ihr verbunden Porteinheit (3) überträgt, welche beinhaltet, an welche andere Porteinheit (3) die mit

der jeweiligen Komparatoreinheit (13) verbunden Porteinheit (3) zur Übertragung eines entsprechenden Pakets oder einer entsprechenden Zelle berechtigt ist, wodurch insgesamt eine blockierungsfreie Kombination von zwischen den Porteinheiten (3) gleichzeitig übertragbaren Paketen oder Zellen ermittelt wird,

e) wobei die von einer Komparatoreinheit (13) erzeugte Belegungsinformation (CRres) jeweils parallel in Form eines Belegungsvektors (CRres) an die jeweils nächste Komparatoreinheit (13) übergeben und in den Komparatoreinheiten parallel oder semi-parallel verarbeitet wird.

15 2. Zellkonfliktauflösungseinheit nach Anspruch 1, bei der die Verarbeitung des Belegungsvektors (CRres) in und die Übergabe des Belegungsvektors (CRres) zwischen den Komparatoreinheiten (13) getaktet erfolgt, wobei in jedem Taktzyklus der Belegungsvektor (CRres) in zumindest einer Komparatoreinheit (13) verarbeitet und zur Übergabe an die jeweils folgende Komparatoreinheit (13) bereitgestellt wird.

3. Zellkonfliktauflösungseinheit nach Anspruch 2, bei der in jedem Taktzyklus der Belegungsvektor (CRres) in mehreren oder allen Komparatoreinheiten (13) verarbeitet wird.

4. Zellkonfliktauflösungseinheit nach einem der vorhergehenden Ansprüche, bei der jeder Verfügbarkeitsvektor (CRreq) 30 N Bits aufweist, wobei die Position eines Bit im Verfügbarkeitsvektor (CRreq) die Zuordnung der in diesem Bit enthaltenen Information zu einer bestimmten Porteinheit (3) beinhaltet und wobei der eine logische Zustand des Bit die Verfügbarkeit eines für die betreffende Porteinheit (3) bestimmten Pakets oder einer Zelle signalisiert und der jeweils andere logische Zustand das Fehlen der Verfügbarkeit eines Pakets oder einer Zelle.

5. Zellkonfliktauflösungseinheit nach einem der vorhergehenden Ansprüche, bei der der Belegungsvektor (CRres) N Bits aufweist, wobei die Position eines Bit im Belegungsvektor (CRres) die Zuordnung der in diesem Bit enthaltenen Information zu einer bestimmten empfangenden Porteinheit (3) beinhaltet und wobei der eine logische Zustand des Bits die bereits erfolgte Belegung der betreffenden Porteinheit (3) für den Empfang eines Pakets oder einer Zelle von einer anderen Porteinheit (3) signalisiert und der jeweils andere logische Zustand die Bereitschaft der betreffenden Porteinheit.
- 10
15. Zellkonfliktauflösungseinheit nach Anspruch 5, bei der die Steuereinheit (11) der ersten Komparatoreinheit (13₁) der Kaskade von N Komparatoreinheiten (13) einen Anfangs-Belegungsvektor (CRres) übergibt.
20. Zellkonfliktauflösungseinheit nach Anspruch 6, bei der der diejenigen Bits des Belegungsvektors (CRres), die solchen Porteinheiten (3) entsprechen, die nicht für einen Empfang zur Verfügung stehen oder nicht vorhanden sind, mit dem entsprechenden logischen Zustand vorbelegt sind.
25. Zellkonfliktauflösungseinheit nach einem der vorhergehenden Ansprüche, bei der jede Komparatoreinheit (13) die Berechtigungsinformation für die betreffende Porteinheit (3) in einer vorgegebenen Reihenfolge in Bezug auf die Porteinheiten (3) oder die einzelnen Bits des Belegungsvektors (CRres) ermittelt.
30. Zellkonfliktauflösungseinheit nach Anspruch 8, bei der die Reihenfolge zu Beginn eines Zyklus der Bestimmung der Berechtigungsinformationen (CRgnt) durch die N Komparatoreinheiten (13) aus einer vorgegebenen Anzahl von pseudo-zufällig generierten Reihenfolgen ausgewählt wird.
- 35.

10. Zellkonfliktauflösungseinheit nach einem der Ansprüche 1 bis 8, bei der jede Komparatoreinheit (13) eine mögliche Belegung von Bits des Belegungsvektors (CRres) in der Reihenfolge der Bits des Belegungsvektors (CRres) ermittelt, bei der jeder Komparatoreinheit (13) eine Permutationseinheit (15) vorgeschaltet ist, welcher der Verfügbarkeitsvektor (CRreq) zuführbar ist und welche die Bits des Verfügbarkeitsvektors (CRreq) entsprechend einer vorgegebenen Vorschrift in ihrer Reihenfolge umordnet und bei der jeder Komparatoreinheit (13) eine inverse Permutationseinheit (19) nachgeschaltet ist, welche unter Berücksichtigung der erfolgten Permutation der Reihenfolge der Bits des Verfügbarkeitsvektors (CRreq) aus der ihr zugeführten Information der Komparatoreinheit (13), ob und welche Position des Belegungsvektors (CRres) belegt wurde, ermittelt, welche Berechtigungsinformation (CRgnt) an die mit der betreffenden Komparatoreinheit (13) verbundene Porteinheit (3) zu übermitteln ist.
20. 11. Zellkonfliktauflösungseinheit nach einem der vorhergehenden Ansprüche, bei der die Auswahlberechtigung für die Übertragung des jeweiligen Pakets oder der jeweiligen Zelle zu einer jeweils anderen Porteinheit (3) in jeder Komparatoreinheit (13) durch N-1 für jede der jeweils anderen N-1 Porteinheiten (3) oder durch N für jedes Bit des Belegungsvektors (CRres) vorgesehene Quotenzähler (21) realisiert ist, wobei der Zählerstand (Quote) eines Quotenzählers (21) nach jeder erfolgten Auswahl der zugeordneten Porteinheit (3) oder nach jeder Belegung des zugehörigen Bits des Belegungsvektors (CRres) inkrementiert oder dekrementiert wird und bei Erreichen eines vorbestimmten Zählerstands die Auswahlberechtigung für die betreffende Porteinheit (3) oder die Belegungsberechtigung für das betreffende Bit des Belegungsvektors (CRres) gesperrt wird.

12. Zellkonfliktauflösungseinheit nach Anspruch 11, bei der die Quotenzähler (21) einer Komparatoreinheit (13) jeweils einem bestimmten Bit des Belegungsvektors (CRres) zugeordnet sind und bei der die Steuereinheit (11) alle Quotenzähler (21) aller Komparatoreinheiten (13), die einem bestimmten Bit des Belegungsvektors (CRres) zugeordnet sind, auf einen Anfangswert (Anfangs-Quote) setzt, wenn keine Komparatoreinheit (13) mehr existiert, in welcher der betreffende Quotenzähler (21) noch eine Quote besitzt und zugleich das betreffende Bit des permutierten Verfügbarkeitsvektors (CRreq*) ein zu übertragendes Paket oder eine zu übertragende Zelle anzeigt.
13. Zellkonfliktauflösungseinheit nach Anspruch 11, bei der die Quotenzähler (21) einer Komparatoreinheit (13) jeweils einer bestimmten Porteinheit (3) zugeordnet sind und bei der die Steuereinheit (11) alle Quotenzähler (21) aller Komparatoreinheiten (13), die einer bestimmten Porteinheit (3) zugeordnet sind, auf einen Anfangswert (Anfangs-Quote) setzt, wenn keine Komparatoreinheit (13) mehr existiert, in welcher der betreffende Quotenzähler (21) noch eine Quote besitzt und zugleich ein Paket oder eine Zelle von der mit der Komparatoreinheit (13) verbundenen Porteinheit an die betreffende Porteinheit zu übertragen ist.
14. Zellkonfliktauflösungseinheit nach Anspruch 13, bei der den Komparatoreinheiten (13) die Permutationsinformation zugeführt ist, bei der die Komparatoreinheiten (13) die Quotenzähler permutieren und die Information ob eine Zelle zur Übertragung zur Verfügung steht, den permutierten Verfügbarkeitsvektoren CRreq* entnehmen.
15. Zellkonfliktauflösungseinheit nach einem der Ansprüche 12 bis 14, bei der einem oder mehreren Quotenzählern (21) eine höhere Anfangs-Quote zugeordnet wird als anderen Quotenzählern (21).

16. Zellkonfliktauflösungseinheit nach einem der vorhergehenden Ansprüche, bei der die Komparatoreinheiten (13) jeweils einen N-stufigen Priority-Encoder (23) aufweisen,
5 wobei jeder der N Eingänge (I_1 bis I_N) des Priority-Encoders (23) mit dem Ausgang eines UND-Glieds (25) verbunden ist und wobei einem ersten Eingang des UND-Glieds das entsprechende Bit ($CRreq[i]$) des Verfügbarkeitsvektors oder des permutierten Verfügbarkeitsvektors
10 ($CRreq^*[i]$) zugeführt ist, einem zweiten Eingang des UND-Glieds (25) das betreffende Bit des Belegungsvektors ($CRres[i]$), der am Ausgang der jeweils vorghergehenden Komparatoreinheit (13) anliegt und einem dritten Eingang des UND-Glieds (25) die Information des zugehörigen Quotenzählers (21), die logisch EINS ist, wenn noch eine
15 Auswahlberechtigung gegeben ist, und logisch NULL, wenn keine Auswahlberechtigung mehr gegeben ist.
17. Zellkonfliktauflösungseinheit nach einem der vorhergehenden Ansprüche, welche als integrierter Schaltkreis ausgebildet ist.
20
18. Zentrale Vermittlungseinrichtung mit N Ports zum Anschluss von maximal N Porteinheiten (3), welche als integrierter Schaltkreis ausgebildet ist, der eine Zellkonfliktauflösungseinheit (8) nach einem der Ansprüche 1 bis 14 beinhaltet.

Zusammenfassung

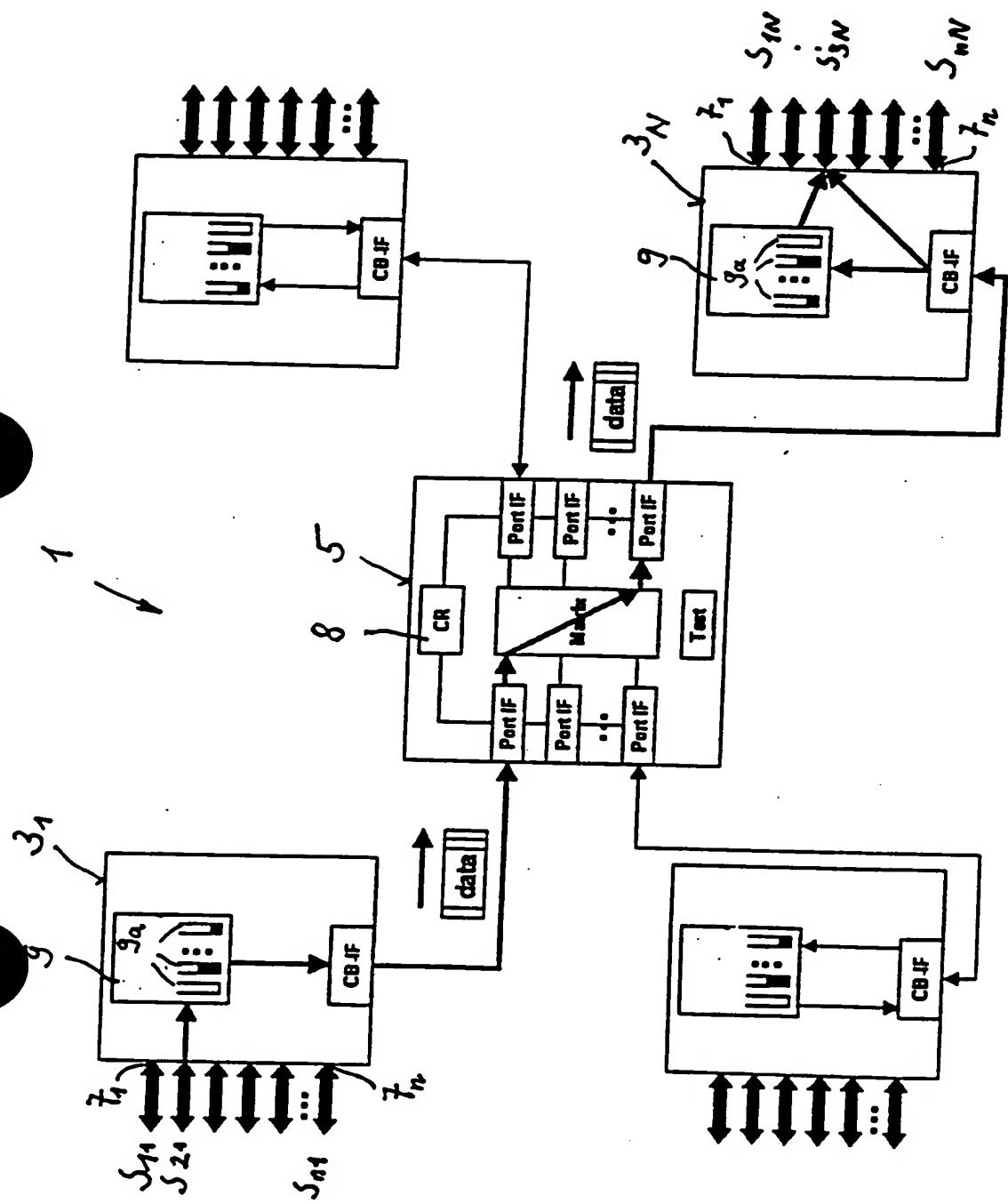
Zellkonfliktauflösungseinheit für eine Einrichtung zur Vermittlung einer Mehrzahl von paket-orientierten Signalen

5

Zur Contention-Resolution wird in der Contention-Resolution-Einheit ein Belegungsvektor durch eine Kaskade von Komparatoreinheiten hindurch geschoben, wobei jede Komparatoreinheit einen ihr von zugeführten Contention-Request-Vektor auswertet und jeweils nur das erste mögliche Bit des Belegungsvektors belegt. Ein Mindest-Fairnessausgleich wird durch eine Quotenregelung erreicht. Durch die parallele bzw. semi-parallele Verarbeitung des Belegungsvektors in der Kaskade ergibt sich eine extrem hohe Verarbeitungsgeschwindigkeit.

10

Fig. 1



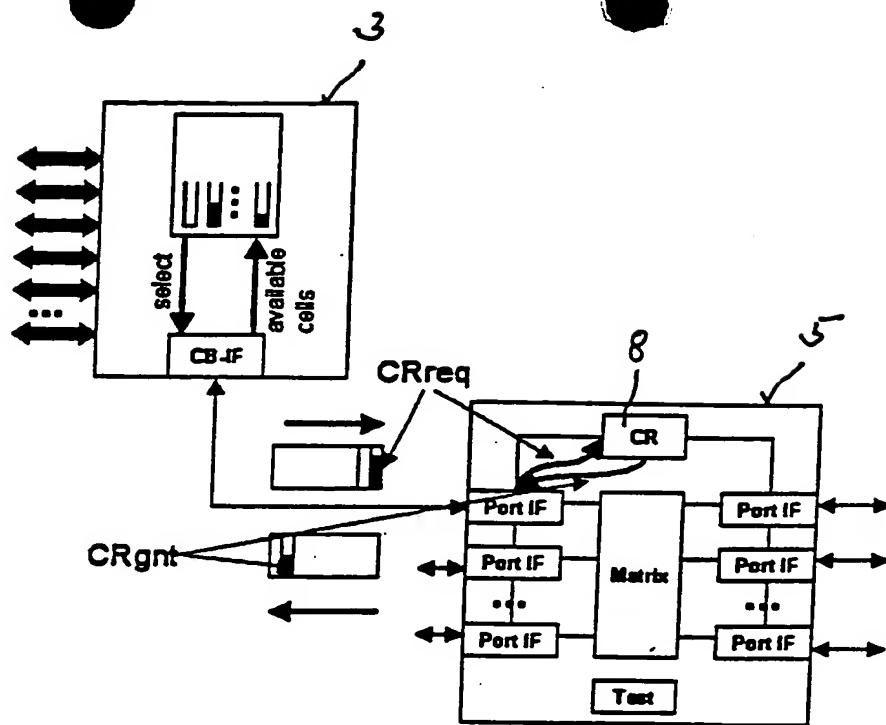


Fig. 2

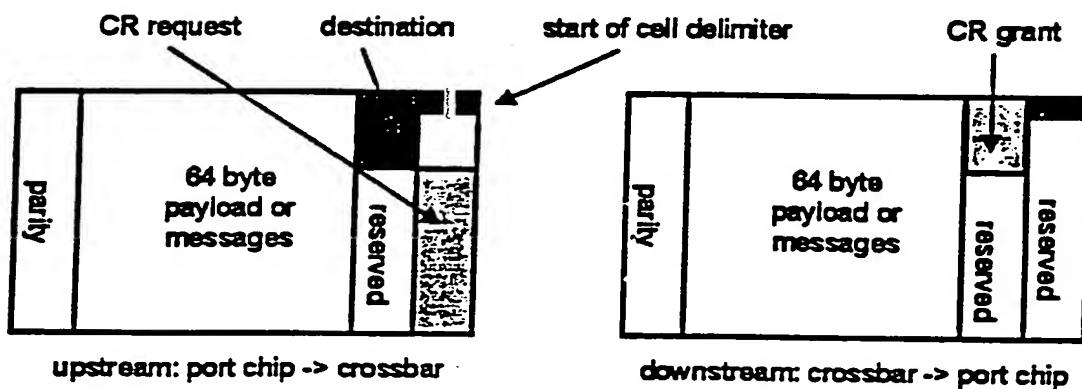


Fig. 3a

Fig. 3b

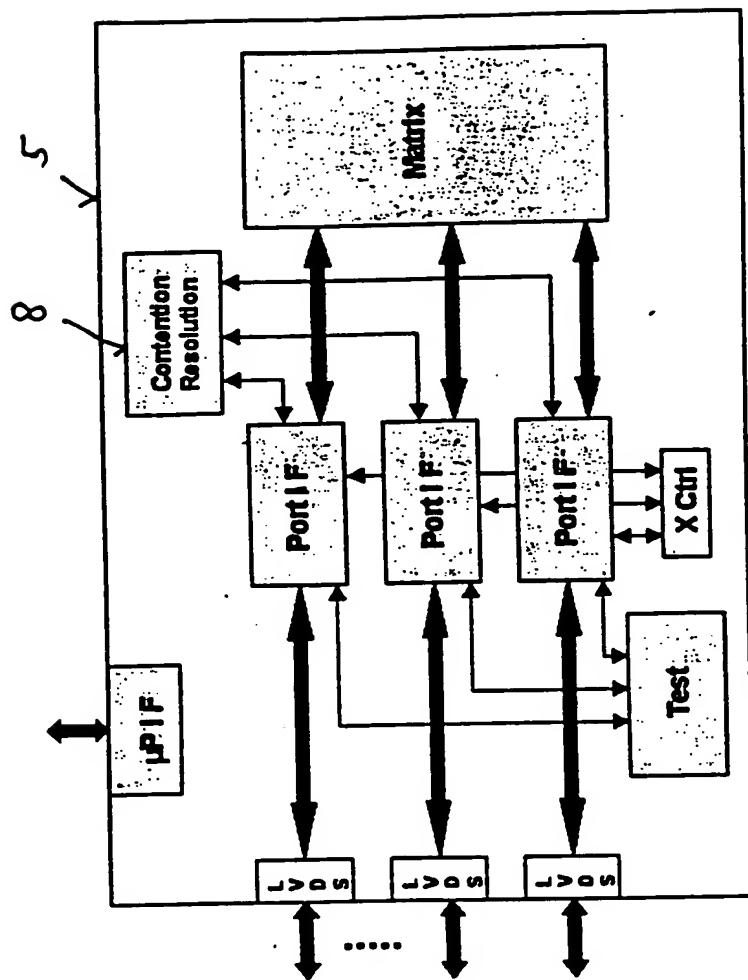


Fig. 4

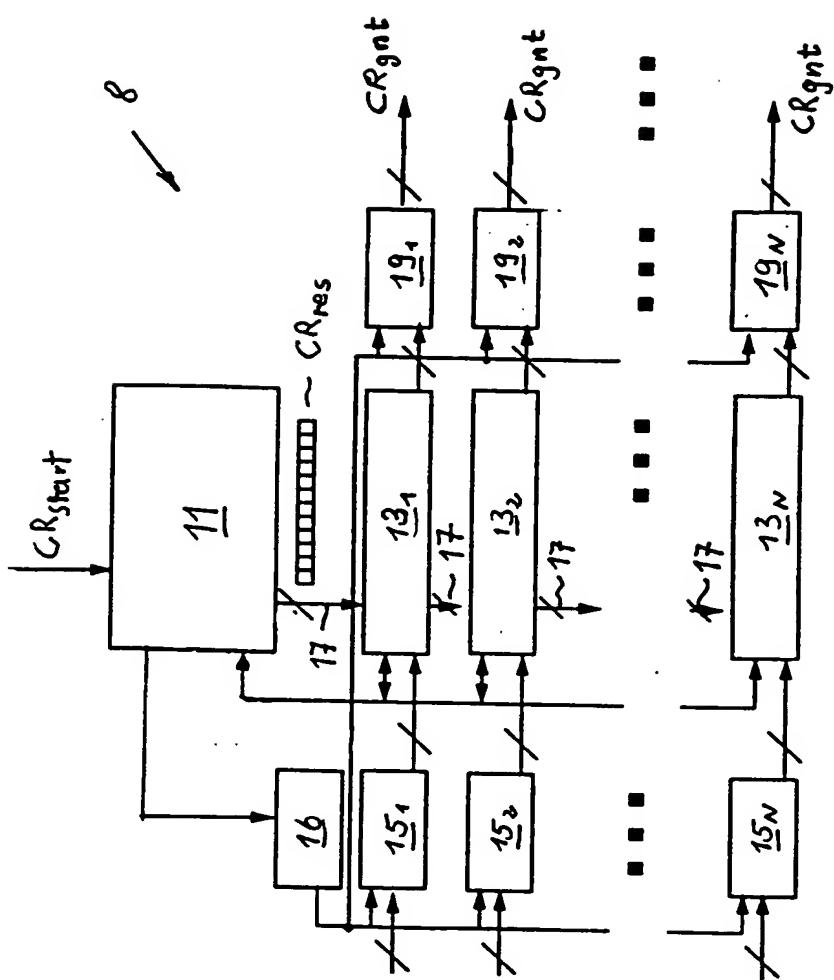


Fig. 5

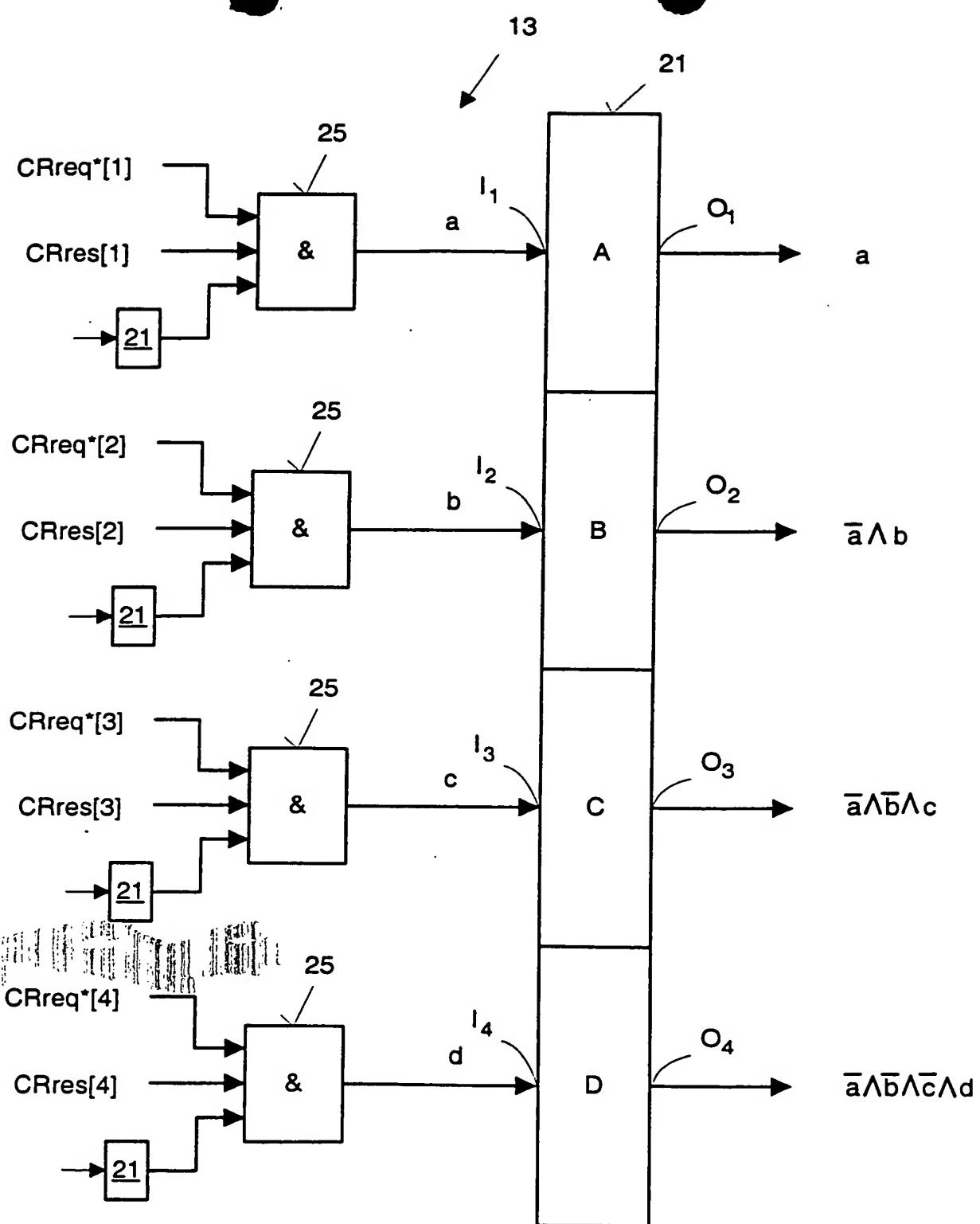


Fig. 6



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

This Page Blank (uspto)